

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255836

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3205

(21)Application number : 07-337694

(71)Applicant : AT & T CORP

(22)Date of filing : 04.12.1995

(72)Inventor : MERCHANT SAILESH M
NANDA ARUN KUMAR
ROY PRADIP K

(30)Priority

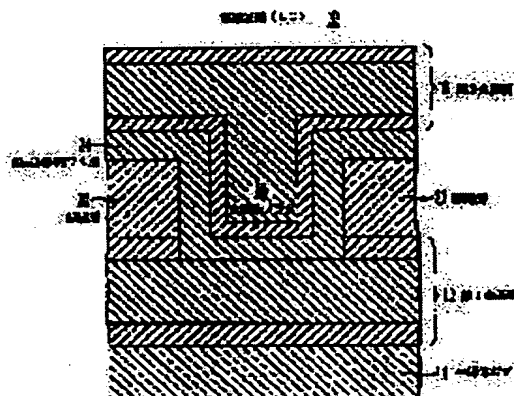
Priority number : 94 349649 Priority date : 05.12.1994 Priority country : US

(54) INTEGRATED CIRCUIT AND ITS FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To fill up a bias at high aspect ratio with a metal by a method wherein an aluminized Ti layer and an Al based layer formed on the aluminized Ti layer in a mutually connected structure contain the grains not exceeding a specific value while the crystal orientation thereof is specified to be in the (111) orientation.

SOLUTION: A metallic plug 18 and the second metallic layer 16 are formed by depositing a composition controlling Ti 4 meeting the requirement to be in a specific crystal orientation in Al based layers deposited later. After the deposition of the composition controlling Ti layers 24, a plurality of aluminum- based sublayers are deposited in order. Besides, respective sublayers are deposited meeting different deposition requirements resultantly performing the steps of grain boundary diffusion, recrystallization and grain growth. At this time, the sublayers are deposited meeting the requirements of different deposition rates and the metallic plug 18 in the (111) orientation as well as the possession of at least one each or maximum three each of grains. Through these procedures, the bias at a high aspect ratio can be filled up with a metal.



LEGAL STATUS

[Date of request for examination] 10.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255836

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	序内整理番号	FI	技術表示箇所
H01L 21/768			H01L 21/90	B
21/28	301		21/28	301R
21/3205			21/88	R
			21/90	A

審査請求 未請求 請求項の数 9 FD (全 7 頁)

(21) 出願番号 特願平7-337694

(22) 出願日 平成7年(1995)12月4日

(31) 優先権主張番号 349649

(32) 優先日 1994年12月5日

(33) 優先権主張国 米国 (US)

(71) 出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨ

ーク ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(72) 発明者 サイレシュ マンシン マーシャント

アメリカ合衆国、32835 フロリダ、オー
ランド、ヴィンランド オークス ブルバ
ード 8214

(74) 代理人 弁理士 三俣 弘文

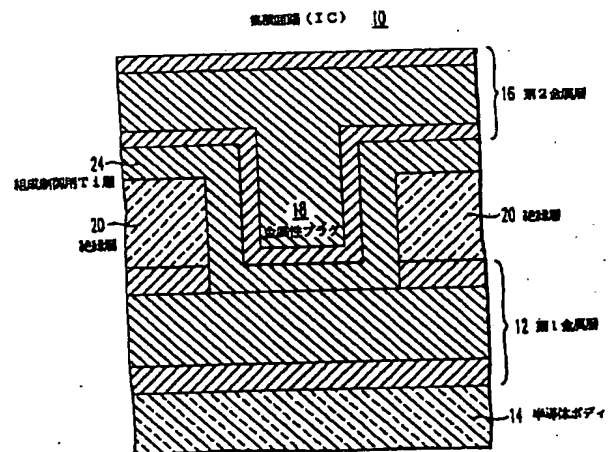
最終頁に続く

(54) 【発明の名称】 集積回路とその製造方法

(57) 【要約】

【課題】 現在の2分の1ミクロン以下のデザインルールにおける高アスペクト比のバイアス（開口）を金属で充填できる方法を提供する。

【解決手段】 開口（バイアスすなわちウィンドウ）を有する集積回路の製造方法において、この開口をAlベースのプラグ16でもって充填するために所定の<111>方向を有し、最大3個の粒子を含んでいる。これらの特徴は、その後堆積されたAlアルミベース層16、1、16、2、16、3を堆積するような条件下で、組成制御用T1層24を堆積することにより行う。この第3サブレイアの堆積の間、プラグの全体の微細構造が自動的に調整されその結果このプラグ16は、単一の粒子あるいは最大3個の粒子を含む。



【特許請求の範囲】

【請求項1】 第1層と、第2層と、前記第1層と第2層を接続する相互接続構造とからなる集積回路(10)において、

前記相互接続構造は、アルミ化Ti層と前記アルミ化Ti層の上に形成されたAlベースの層(16)とを有し、

前記Alベースの層(16)は最大3個の粒子を含み、その結晶方向は<111>方向であることを特徴とする集積回路。

【請求項2】 Ti層(24)を有し、このTi層(24)の上に前記アルミ化Ti層が堆積されることを特徴とする請求項1の集積回路。

【請求項3】 前記Ti層(24)は、(002)のベース面方向を有するクローズバック構造であることを特徴とする請求項2の集積回路。

【請求項4】 前記Ti層(24)は、前記第2Ti層の上に堆積されたTiN層の上に堆積されることを特徴とする請求項3の方法。

【請求項5】 合成金属層(16)を有する集積回路(10)の製造方法において、
前記合成金属層(16)は、

(A) 組成制御用Ti層(24)を第1温度で堆積するステップと、前記組成制御用Ti層(24)は、(002)のベース面方向を有し、<111>方向を有する、その後堆積されたAlベース層(16.1、16.2、16.3)を有し、

(B) 前記組成制御用Ti層(24)の上に第2温度でAlベースの第1サブレイア(16.1)を堆積するステップと、

(C) 第3温度から前記第2温度よりも高いピーク温度に昇温させながら前記第1サブレイア(16.1)の上にアルミベースの第2サブレイア(16.2)を堆積するステップと、その結果アルミ化Ti層が前記組成制御用のTi層(24)と前記第1サブレイア(16.1)との間の少なくともその界面に形成されこの堆積の終了時には、前記第2サブレイア(16.2)の平均粒子サイズは、前記第1サブレイア(16.1)のそれよりも大きく、

(D) 前記ピーク温度で前記第2サブレイア(16.2)の上にアルミベースの第3サブレイア(16.3)を形成するステップと、
からなり前記サブレイア(16.1、16.2、16.3)の微細構造は、それ自身で調整して最大3個の粒子を生成することを特徴とする集積回路の製造方法。

【請求項6】 前記組成制御用Ti層(24)は、第2Ti層の上に形成されたTiN層の上に堆積されることを特徴とする請求項5の方法。

【請求項7】 前記Ti層(24)の堆積の間前記第1温度は、25-100℃の範囲内にあり、

前記第1サブレイア(16.1)の堆積の間の第2温度は、50-100℃の範囲内にあり、

前記第2サブレイア(16.2)の堆積の間の前記第3温度は、100℃以下で、

前記第3サブレイア(16.3)の堆積の間の前記ピーク温度は、400-500℃の範囲内にあることを特徴とする請求項5の方法。

【請求項8】 前記第1サブレイア(16.1)は、2500オングストローム(以下Aとする)以下の平均粒子サイズを有するよう堆積され、

前記第2サブレイア(16.2)は、2500-8000Aの範囲の平均粒子サイズを有するよう堆積され、

前記第3サブレイア(16.3)は、2500-10,000Aの範囲の平均粒子サイズを有するよう堆積されることを特徴とする請求項5の方法。

【請求項9】 前記アルミ化層は、前記組成制御用Ti層(24)の全部または一部を消費するような条件下で形成されることを特徴とする請求項5の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば集積回路の導体のような金属層の堆積に関する。

【0002】

【従来の技術】 集積回路においては、金属層は、素子の活性領域(FETのゲート、ソース、ドレインの電極)への電気接点を形成するために、および素子間を相互接続(ICの同一レベル上の素子間のランナーあるいは異なるレベル上の素子間のバイアス)するために用いられる。両方の場合ともバイアス(すなわちウィンドウ)は、ほぼ垂直の側壁を有して誘電体層に開口し、下の層の一部を露出する(例えば素子の半導体活性領域は、金属の第1レベルとして、通常「第1金属」と称する)。この上の金属層からの金属性のプラグ(素子の接点の場合には、例えば「第1金属」と称し、相互接続の場合には「第2金属」と称する)は、バイアスから延びて、金属層と半導体(素子の電極)との間の電氣的接続を形成するかあるいは2つの金属層との間の電氣的接続(相互接続)とを形成する。簡単にするために本明細書においては、両方の場合(半導体と金属および金属と金属)の電氣的接続を相互接続と称する。

【0003】 アルミおよびアルミ合金がこのような金属層に使われる最も一般的な材料である。通常これらのアルミベースの層は、単一層としてスパタリングのような1回のステップにより堆積される。このアルミベースの単一層の金属化は、ウィンドウ内で相互接続を形成するために用いられる時にいくつかの問題がある。例えば、(1)ウィンドウの上端部における良好でないステップカバレッジ、(2)ウィンドウの側壁に沿って金属の堆積が不足するかあるいはピンチオフの状態になる、

(3)ウィンドウの上端部に余分の金属が堆積する等

の問題がある。これらの問題点のいずれもがICの信頼性に悪影響を及ぼす。かくして良好でないステップカバレイジあるいは過剰金属によるオーバーハングは、ウィンドウ内にボイド（金属の不存在領域）を形成し、これにより電流を搬送する相互接続の信頼性を落とす。一方、ピンチオフすなわち金属堆積の不足は電子の密集を引き起こし、その結果好ましくない高電流密度を金属が存在しない側壁に発生させる。

【0004】垂直あるいはそれに近い壁を有する開口（すなわちバイアス）内で十分なステップカバレイジが得られない為、この問題は、特に1以上のアスペクト比を有する場合においては、従来では、テーパー状（すなわち傾斜した）の側壁を用いて解決していた。しかしこのテーパーを用いた技術では、より大きなピッチが形成されてしまう。このようなより大きなピッチが形成されることは、並列に形成された金属導体（例、ランナ）間のスペースを増加させるために、このような大きなテーパーは、例えば0.5 μ m、0.3 μ mあるいはそれ以下のデザインルールに対しては好ましくないものとなっている。

【0005】高アスペクト比のバイアスを充填する他の従来手法では、複数回の金属化ステップを必要としてしまう。ある従来技術においては、厚い金属層を低温で堆積し、そして残りの金属を金属層のリフロウができるように温度を上げながら堆積するというものである。これに関しては米国特許第4,970,176を参照のこと。他の従来技術においては、小粒子のアルミの非常に薄い層を低温（350℃以下）で堆積する。そして堆積は、温度が必要とされる堆積温度（500℃以上）に上昇するまで停止し、その後アルミの堆積を再開する。これに関しては米国特許第5,108,951（第4コラム1-9行目）を参照のこと。前掲の特許は、ウェハを加熱しながらアルミを連続的に堆積する技術を開示するものである。すなわち少量のアルミが350℃以下で堆積され、そしてウェハを徐々に所望の堆積温度（400-500℃）に加熱しながらアルミの堆積を継続するものである。この前掲の特許の方法は、非常に小さい粒子サイズでもってアルミの層が堆積できることを開示しており、あとの段階で粒子サイズの成長を最小にしている（第4コラム10-21行目）。

【0006】しかし高アスペクト比のバイアスを充填する多段の金属化プロセスは、いずれも相互接続の性能と大きな粒子サイズと特定の構造（すなわち粒子の方向性）との両方を有するようなプラグの必要性の重要な関係については認識していない。

【0007】

【発明が解決しようとする課題】したがって本発明の目的は、ほぼ垂直壁を有するバイアスすなわちウィンドウ内に相互接続を形成するために上記の問題を解決することである。特に、現在の2分の1ミクロン以下のデザイ

ンルールにおける高アスペクト比のバイアスを金属で充填できる方法を提供するものである。

【0008】

【課題を解決するための手段】前記課題を解決するために本発明の開口（例、バイアスすなわちウィンドウ）を有する集積回路の製造方法において、この開口をA1ベースのプラグでもって充填するために所定方向を有した後でA1ベース層を堆積するような条件下で組成制御のT1層を堆積することにより行う。その後、複数のA1ベースのサブレイアが堆積される。第1に<111>の方向を有する微細粒子上の第1サブレイアがT1層の上に低温で堆積される。次に第2のサブレイアが温度を前記の低温からピークの堆積温度まで上昇させながら前記の第1サブレイアの上に堆積される。この温度上昇の間、アルミ化T1層（Ti-aluminide）が、T1層と前記第1サブレイアとの間の境界に形成され、その結果A1ベースの材料の粒子サイズが増加する。そして次に第3サブレイアが前記のピーク堆積温度でもって堆積される。この第3サブレイアの堆積の間、プラグの全体の微細構造が自動的に調整され、その結果このプラグは、単一の粒子あるいは最大3個の粒子を含むだけであり、そしてさらにこのプラグ全体の組成は、ほぼ<111>方向を向いている。

【0009】本発明の他の側面においては、アルミ化T1層と開口（バイアスすなわちウィンドウ）を充填するアルミベースのプラグの両方を含む集積回路である。このA1ベースのプラグの組成はほぼ<111>方向を向いておりプラグそのものは、単一の粒子あるいは最大3個の粒子を含むだけである。

【0010】

【発明の実施の形態】集積回路（IC）は、半導体ボディ（シリコン基板あるいは基板上のシリコンエピタキシャル層）を有し、そこに素子の活性領域（例、FET、バイポーラトランジスタ）あるいは、他の素子の受動領域（抵抗、キャパシタ）が形成される。ウェハの異なる部分上の素子は、通常互いに絶縁（酸化物）領域で絶縁されている。ある複数の素子は、導電性（金属製）層により相互接続されている。この相互接続のパターンが複雑になるために、金属層は、複数のレベル（通常2種類のレベルであるが最近では3種類のレベル4種類のレベルと増えつつある）の上に形成されている。

【0011】異なるレベルの金属層と半導体素子領域とは、所望の電氣的接続が形成されるべき領域を除いて絶縁性（二酸化シリコンあるいは窒化シリコン性）の層により互いに電氣的に絶縁されている。これらの絶縁層は、通常層間誘電体とも称する。これらの領域においては、バイアス（すなわちウィンドウ）が絶縁層に開口され、その後金属製プラグでもって充填されている。図1においては、集積回路10は、半導体ボディ14上に第1金属層12を有している。例えば半導体ボディ14

5

は、シリコンエピタキシャル層の有無に係わらず、ウェハあるいは基板であり、通常素子および／または素子領域を分離するような酸化シリコン絶縁領域を有している。以下、第1金属層と第2金属層との間の相互接続に関して説明するが、これ以外にも第1金属層と半導体素子領域との間の相互接続および第2金属層とより高レベルに位置する金属との間の接続も本発明は適応できる。

【0012】第1金属層12と第2金属層16とは金属性プラグ18により相互接続されている。第1金属層12と第2金属層16とは絶縁層20により分離されており、この絶縁層20内に開口（例えばバイアスすなわちウィンドウ）が形成されて金属性プラグ18が第2金属層16から第1金属層12まで延びている。本発明によれば金属性プラグ18と第2金属層16とは、後で堆積されるA1ベース層内で所定の結晶方向を有するような条件下で組成制御用Ti層24を堆積することにより形成される。この組成制御用Ti層24は、ベース面が（002）方向を有するようなクロズバック（close-packed）されたTi層を生成するような条件下で堆積しなければならない。このTiのベース面は、A1ベースの層の（111）面と同一の原子構成を有している。これによりA1ベース層は、Ti層の上に堆積されたときに<111>方向を有するようになる。

【0013】組成制御用Ti層24が堆積された後、複数のアルミベースのサブレイアが順に堆積される。そして各サブレイアは、異なる堆積条件で堆積されその結果粒子境界拡散、再結晶、粒子成長が行われる。例えばサブレイアは、異なる堆積速度と金属性プラグ18が<111>方向を有し、1個の粒子あるいは最大3個の粒子を有するような条件で堆積される。できるだけ少ない単一のグレインを有するプラグを形成する事は、本発明により決定できるが、粒子の最大サイズは、プラグの寸法により決定される。通常グレインの数が少ないことは、グレインの境界が少なくなることを意味し、このことは欠陥が少なくなることを意味し、そしてその結果エレクトロマイグレーション特性がよくなり応力を引き起こすようなボイドが少なくなることを意味する。かくして単一のグレインは最も好ましいものであるが2個あるいは3個のグレインでも優れた性能を提供できるものである。

【0014】図2-6は、本発明の相互接続を形成する際のステップを順番に表わしたものである。この実施例においては、金属性プラグ18と側面方向に延びたフィールド部分とがまず3種類のサブレイアとして堆積される。しかし、本発明は3種類のサブレイアに限定されるものではなく、それ以上のサブレイア例えば4種類のサブレイアについても適応できるものである。

【0015】以下の説明においては、全ての金属層は、スパッタリングにより堆積するものとしているが本発明はこれに限定されるものではなく、例えば蒸着でも適応

6

できる。さらに本発明のプロセスは、従来のクラスタ装置あるいは堆積チェンバー内でも実施できる。ウェハ全域に亘って均一な堆積を行うためには、スパッタリングは、平面上のターゲットを用いて行うのが好ましい。

【0016】図2に示すような第1ステップにおいて、公知の合成バリア層22が開口19の底部と側壁と絶縁層20の上部に堆積される。この合成バリア層22は、2つの層（例えば開口19の表面上に形成された耐火金属（Ti）とこの耐火金属（Ti）の上に堆積する耐火性の窒化金属（TiN））を含む。合成バリア層22の堆積は、25-400℃の範囲の基板すなわちウェハ温度で行われる。次に図3に示すように、薄い（250オングストローム（以下Aで表わす））組成制御用Ti層24が合成バリア層22の上に堆積されその堆積条件は、ベース面が（002）方向を有するようなクロズバック構造を生成するようなものである。かくして組成制御用Ti層24は、25-400℃の温度範囲で基板上あるいはウェハ上に堆積される。25-400℃の温度範囲で好ましくは100℃以下（50℃が最適と思われる）の低温で堆積される。開口19内へのアルミベースの金属をその後堆積する間、アルミ化Ti（Ti-aluminate）層が組成制御用Ti層24と第1に堆積されA1ベースの層との間の界面に形成される。A1ベースの金属の構成は、ほぼ<111>方向を有し、そこに形成された金属性プラグ18は、単一の粒子（あるいは最大3個の粒子）を有する。組成制御用Ti層24は、機械的電氣的な信頼性を向上させるものである。

【0017】組成制御用Ti層24が堆積された後、3種類のA1ベースの金属サブレイア16.1, 16.2, 16.3が順に図4-6に示すように堆積させる。しかし、組成制御用Ti層24の堆積が完了した場合、基板すなわちウェハの温度は100℃以上であるので基板は、第1サブレイア16.1を堆積する前に冷却しなければならない。

【0018】このサブレイアは、A1ベースの金属例えばA1系合金からなる。適当な合金としては、A1-Cu, A1-Si-Cu, A1-Sc, A1-Ge, A1-Sc-X, A1-Ge-X（ここでX=Siおよび／またはCu）, A1-Pd-Nb, A1-Pd-Mg, A1-Hf-Ti等である。A1Cu合金あるいはA1SiCu合金の組成は、0.05-5.0重量%のCuと0.05-5.0重量%のSiと、0.5-2.0重量%のCuと0.5-1.5重量%のSiを含む。

【0019】図4に示すように第1サブレイア16.1は、比較的薄く、次の第2サブレイアの堆積用の核形成層として機能する。この第1サブレイア16.1は、粒子サイズの平均は小さく（例、2500Å以下で通常1000-1700Å）を有し、これは50-100℃の低温の基板温度で堆積することにより達成できる。例えばこの堆積は、比較的高い堆積レートと高いパワー（例

えば9-11kWと約160-190A/秒)で行われる。この第1サブレイア16.1の厚さは、3種類のサブレイアの全厚さの30-50%を占める。

【0020】この堆積の終了時に図5に示す第2サブレイア16.2は、第1サブレイア16.1よりもその粒子サイズの平均ははるかに大きい、プラグの寸法によっても異なるが通常2-3倍の大きさで2500-8000Aである。次に第2サブレイア16.2が第1サブレイア16.1の堆積温度から400-500℃(より具体的には460-500℃)の範囲のピーク温度まで徐々に上げながら堆積される。例えばこの第2サブレイア16.2は、第1サブレイア16.1よりもはるかに低い堆積レート(約10-30A/秒)で且つはるかに低いパワー(0.5-1.5kW)で堆積される。この第2サブレイア16.2の堆積の間前述したアルミ化Ti化合物は、約300-350℃の温度で第1サブレイア16.1と組成制御用Ti層24との間の界面に形成される。組成制御用Ti層24と第1サブレイア16.1との相対的厚さに依存して組成制御用Ti層24は、全部あるいは1部がアルミ化Tiに変質する。変質しないものについては、組成制御用Ti層24の1部はICの製造が完了したときにもプラグ内に残る。さらにこのステップの間、堆積金属(M)がバイアス(図5)内に流れ込み、その結果3種類のサブレイア(あるいは第2金属層16)の全厚さの約50-70%の厚さを占める。

【0021】この堆積の終了時に図6に示す第3サブレイア16.3は、プラグの寸法にもよるがその平均粒子サイズは比較的大きい(例、2500-10,000A)である。このような特性は、前のステップで用いられたピーク温度(460-500℃)で堆積することにより得られる。第3サブレイア16.3は、第1サブレイア16.1に用いられた比較的高い堆積レートでもって堆積される。重要なことはこのステップにおいて、金属性プラグ18の微細構造は、自分自身で調整し、その結果金属性プラグ18は、1つの大きなサイズの粒子のみを含むかあるいは最大3個の大きなサイズの粒子を含むだけである。さらに金属性プラグ18の構造は、<111>方向を向いている。

【0022】前述したように、最大の粒子サイズはプラグの寸法によって決まる。例えば8000Aの高さで8000Aの幅を有するプラグは、8000Aのサイズの1個の粒子あるいは、それぞれが8000×4000Aのサイズの2つの粒子を含む。

【0023】図7に示すように、バイアスを充填する<111>方向の単一粒子(あるいは最大3個の粒子)を有するプラグを実現する。本発明の方法は、ピンチオフ、オーバーハング、ポイド等の従来の問題を発生させることなく、さらにエレクトロマイグレーション特性を改良し、応力を引き起こすポイドも減少させる。プラグ領域内に単一の粒子(あるいは最大3個の粒子)が存在

するために、図7は第2金属層16の種々のサブレイアを示していない。

【0024】さらにTEM検査によれば第3サブレイア16.3が堆積する前に、第1サブレイア16.1と第2サブレイア16.2との間の界面には小さな材料のアイランド(大きさは10Aのオーダー)の存在が分かった。このアイランドの成分は二酸化シリコン、二酸化アルミあるいはアルミの溶融担持沈着物(solute-bearing precipitate of aluminum)(例えばCuAl₂)を含む。我々の発見によれば、これらのアイランドは界面拡散を防止し、Alベースの層(これにより<111>組成ができる)の粒子境界をピンギンしおよび/または応力導入ポイドに起因するポイドリンクを阻止できる。かくして素子の寿命が延びる。

【0025】

【発明の効果】本発明は、相互接続の形成と開口の充填をするものとして説明したが、より一般的にカバリングステップおよび金属層の形成についても適応できるものである。さらにまた本発明のサブレイアの堆積ステップは、同一堆積チェンバー内で行われ、第1サブレイアの堆積中に基板のヒータをオフに保つことにより、そして第2サブレイアの堆積の開始時に基板のヒータをオンにし、そして全てのサブレイアの堆積が完了するまでオンにしておくことにより行うことができる。このようにしてプラグを形成することにより複数のチェンバーをサブレイアの堆積の並列プロセスにも用いることができるのでクラスタマシン内で複数のチャンバープロセスが可能となり、これによりスループットが向上する。さらに第2のサブレイアは、第1のサブレイアの堆積温度より低いあるいは等しいあるいは高い開始温度で堆積することもできる。

【図面の簡単な説明】

【図1】集積回路において第1金属層と第2金属層を相互接続するバイアス内のプラグの断面を表わす図

【図2】本発明の1実施例による図1のプラグの製造の際の第1ステップを表わす図

【図3】本発明の1実施例による図1のプラグの製造の際の第2ステップを表わす図

【図4】本発明の1実施例による図1のプラグの製造の際の第3ステップを表わす図

【図5】本発明の1実施例による図1のプラグの製造の際の第4ステップを表わす図

【図6】本発明の1実施例による図1のプラグの製造の際の第5ステップを表わす図

【図7】単一層として示された様々なサブレイアを有する図6を表わす図

【符号の説明】

10 集積回路(IC)

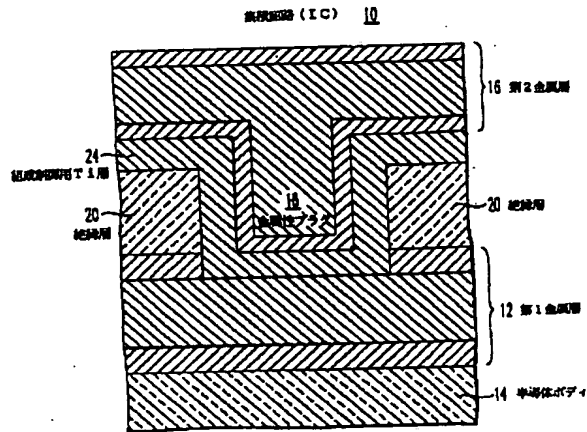
12 第1金属層

14 半導体ボディ

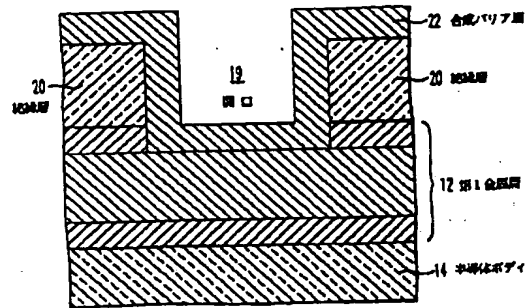
- 16 第2金属層
- 16.1 第1サブレイア
- 16.2 第2サブレイア
- 16.3 第3サブレイア
- 18 金属性プラグ

- 19 開口
- 20 絶縁層
- 22 合成バリア層
- 24 組成制御用T1層

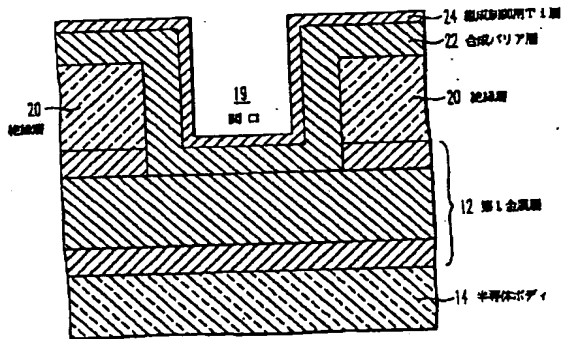
【図1】



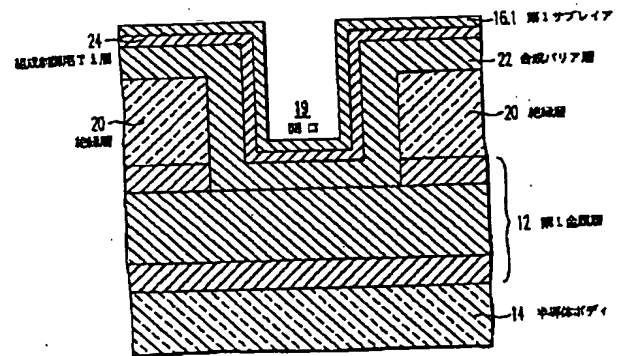
【図2】



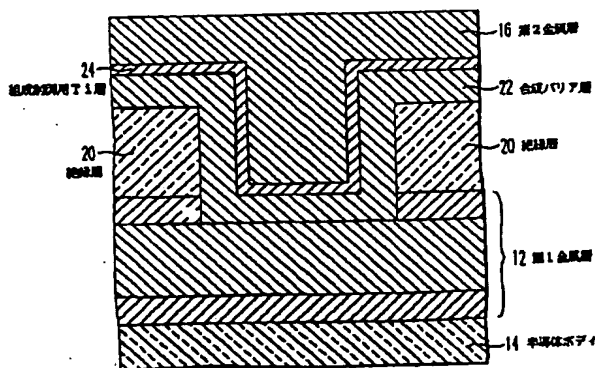
【図3】



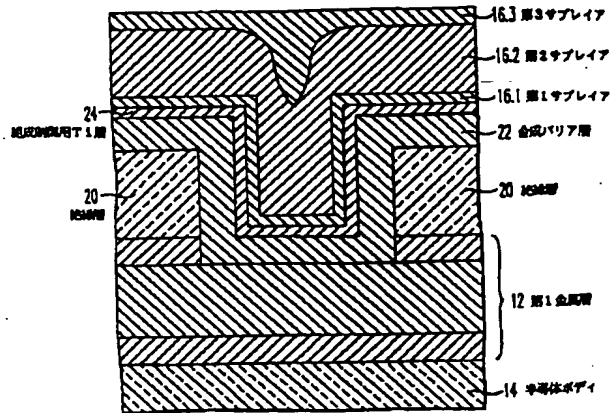
【図4】



【図7】



【図6】



(72)発明者 プラディップ クマー ロイ
アメリカ合衆国、32819 フロリダ、オー
ランド、ハイデン アイビー コート
7706